

PATENT APPLICATION LAID OPEN NO.&DATE:

JP-A-60-196862 (1985 October 5)

TITLE OF INVENTION : METHOD OF PROTECTING ONEROUS PROGRAM

APPLICATION NUMBER : S59-52261 (1984 MARCH 21)

INVENTOR : NAOHIRO MIYAGAWA

APPLICANT : MITSUBISHI DENKI, INC.

SCOPE OF CLAIM

1. A method of protecting an onerous program, characterized by steps of: encoding a target program and recording said program in a predetermined program storage region; generating a program identification signal that corresponds to said program; and regarding a storage medium storing said encoded onerous program, said storage medium formed by writing said program identification signal to a first storage region of said medium and to an erasable second storage region of said medium which is different from said first storage region, said first and second storage region read prior to reading said program storage region, comparing, on the user's terminal, the contents of said first and second storage regions or comparing a pre-registered content with the content of said first and second region, at the beginning of the use of said program.

2. The method of protecting a program according to claim 1, characterized by further steps of: requiring predetermined registration regarding said program when said storage medium storing said encoded onerous program is first used; and erasing the content of said second storage region. 3. The method of protecting a program according to claim 1, characterized in that said second storage region is inaccessible for users or kept in secret to users.

PREFERRED EMBODIMENTS OF THE INVENTION

Referring to the accompanying drawings, the invention will now be described in detail with reference to a first embodiment.

First, a method of recording onerous program on a predetermined storage medium will be described. Referring to Figs. 1a and Fig. 1b, there is shown a first embodiment in which an onerous program is recorded on an erasable storage medium such as a magnetic disk and a magnetic tape. Fig. 1a

illustrates a first embodiment of a method of recording an onerous program on the provider side. Fig. 1b illustrates a recording format of an onerous program stored on an erasable storage medium.

In Fig. 1a, a storage medium (1) is a first storage medium which stores a program (original program) to be offered to users for value. The original program is once read from the first storage medium 1 (Step 11) and encoded to obtain an encoded program 21 using appropriate encoding means 2 following a predetermined technique. On the other hand, an identification signal provision means 3 generates a program identification signal 31 for defining a prescribed relationship between the encoded program 21. Prior to distribution, both the encoded program 21 and the program identification signal 31 corresponding to the program 21 are encoded and recorded on an erasable second storage medium 5 in a predetermined format by means of a recording apparatus that includes a high-speed copying device.

Fig. 1b shows a format of the onerous program 41 recorded on the erasable second storage medium 5, which includes a region 21a storing the encoded program 21, a first and a second storage regions 31a and 31b, respectively, for independently storing the same program identification signal 31, and separation regions 23 which are inserted to separate a multiplicity of regions for storing onerous information but do not contain any meaningful information.

In this way the onerous program 41 is recorded on the erasable second storage medium 5 and distributed to users for value through appropriate distribution networks.

Referring to Figs. 2a and 2b, a second embodiment of recording an onerous program on an inerasable storage medium such as a compact disk will now be described. Fig. 2a illustrates the second embodiment of a method of recording an onerous program on provider side, and Fig. 2b illustrates a recording format of the onerous program recorded on an inerasable storage medium. As shown in Fig. 2a, the original program stored on the first storage medium 1 is once read out (Step 11) and encoded into an encoded program 21 using appropriate encoding means 2 following a predetermined technique. A program identification signal 31 is generated by an identification signal provision means 3, in the same manner as in the first embodiment.

In the second embodiment shown herein an inerasable storage medium 5a as described above is used, which is, however, have an erasable region formed by application of, for example, a coat of magnetic material on a predetermined section of the medium. The encoded program 21 and

corresponding program identification signal 31 are recorded by a first recording device 4a on the inerasable region of the second storage medium 5a as part 42 of the onerous program (42+43). The program identification signal 31 is recorded on the inerasable region of the storage medium 5a by a second recording device 4b as another part of the onerous program (42+43).

Fig. 2b shows a format of the onerous program (42+43) recorded on the inerasable second storage medium 5a which partially includes erasable region. Like or identical elements in Figs. 1b and 2b are denoted by like or the same reference numerals.

The onerous program (42+43) is recorded on the storage medium such that the part 42 which includes the encoded program 21 and the program identification signal 31 are recorded on the inerasable region of the second storage medium 5a, while the rest 43 of the onerous program is recorded on the erasable region. In this way, entire onerous program (42+43) is recorded on the storage medium 5a, and distributed to users for value.

Next, referring to Figs. 3a-3e and Fig. 4, operations of a user terminal will be described. Figs. 3a-3e show an exemplary user terminal and a timing diagram of explanatory operations. Fig. 4 is a flowchart showing operations regarding identification of a program by the user terminal.

First, referring to Fig. 3a, there is shown a schematic view of a signal read section of the user terminal dealing with an onerous program recorded in the format as shown in Fig. 1b. Fig. 3b is a timing diagram of explanatory operations of the user terminal as shown in Fig. 3a.

The user terminal shown in Fig. 3a has a read head 6a for reading an onerous program stored in a storage medium, and an erasing head 6c for erasing the information stored in a predetermined section of the storage medium.

In the example shown herein, only one read head 6a is shown, which does not hinder read operations, since pieces of the program can be read out consecutively, as seen from the recording format shown in Fig. 1b. Elements 7a and 7b are a first and a second serial-to-parallel conversion registers for converting serial information into parallel information read by the head 6a. Element 7 is a first comparator for examining coincidence of the contents in the first and second serial-to-parallel conversion registers 7a and 7b, respectively. Element 71 is a D type flip-flop, and element 72 is a rising-edge detection circuit. Element 73 is a second comparator for determining the coincidence between the content of the first serial-to-parallel conversion register 7a and the content of a non-volatile memory 8. Element 81 is an address pointer latch. Element 82 is an

address counter. Element 83 is an address selector. Element 85 is a plus-one circuit. Element 86 is a third comparator. Element 9 is a decoding circuit. Element 10 is a clock control circuit.

In the user terminal as described above, an output signal 600 retrieved from an onerous program by the read head 6a is fed to the decoding circuit 9 and to the first and the second serial-to-parallel conversion registers 7a and 7b. A detection signal 50 is generated to indicate that the storage medium 5 (not shown) carrying thereon an onerous program is loaded on the user terminal. The detection signal 50 is fed to the clock control circuit 10, which in turn generates a first reset signal 704 to reset the flip-flop 71. As a result, the decoding operation control signal 705 applied to the enable terminal ENB of the decoding circuit 9 is pulled LOW, thereby disabling decoding by the decoding circuit 9. In this case, the reset terminal R of the address counter 82 of the non-volatile memory 8 is also supplied with a second reset signal 812 from the clock control circuit 10 to nullify the count of the address counter 82. In what follows it is assumed that in the exemplary operations performed in the user terminal, address 0 of the non-volatile memory 8 is used as the address pointer for a new registration. The output signal 802 of the address counter 82 is supplied to the non-volatile memory 8 as the address signal 806 via the address selector 83. The output signal is latched in the address pointer latch 81 by the trigger signal 811 issued from the clock control circuit 10. At this stage, the content stored at address 0 of the non-volatile memory 8 indicates the final address of the registered program identification code. The output 807 of the address pointer latch 81 is incremented by +1 by the plus-one circuit 85 and fed to another input terminal of the address selector 83. By switching the select signal 814, the non-volatile memory 8 is fed with an address signal 804, which indicates the program identification code to be stored next in the memory 8. On the other hand, the output signal 600 from the read head 6a sequentially read by the clock pulses B 702 and A 701 into the second and first serial-to-parallel conversion register 7b and 7a, respectively. The signals are then compared with each other in the comparator 7. When the storage medium 5 is first loaded, the output signal 70a of the second serial-to-parallel conversion register 7b corresponds to the program identification signal in the first storage region 31a. The output signal 70b of the second serial-to-parallel conversion register 7b corresponds to the program identification code in the second storage region 31b. When the storage medium 5 is first loaded, both program identification codes match each other that the coincidence output 700 of the first comparator 7 becomes HIGH, which is latched in the flip-flop 71 by the trigger signal 703 from

the clock control circuit 10, thereby pulling up the decoding operation control signal 705 to HIGH to enable the decoding circuit 9 to perform decoding. The output signal 70a of the serial-to-parallel conversion register 7a is fed to the data input line 805 of the non-volatile memory 8 via the data selector 84, which signal is written to a new address of the non-volatile memory 8 upon detection of the rise of the flip-flop 71 by the edge rise detection signal 801, thereby carrying out the registration and erasing the content of the second storage region 31b. Following the completion of the registration, the select signals 814 of the address selector 83 and data selector 84 are switched to thereby supply the signal line 806 of the non-volatile memory 8 with the output 802 of the address counter 82, and supply a signal indicative of address pointer +1 to the data input signal line 805, and update the address pointer in accordance with the write pulse received from the clock control circuit 10. In this case, since the address counter 82 is not supplied with the clock signal 813 at this stage, the address signal 802 is 0, that is, the signal is holding the address pointer location. Next, operations of the user terminal loaded with a storage medium containing a registered onerous program will be described. Fig. 3C is a timing diagram showing the operations in that instance. In this case, the program identification code that was in the second erasable storage region 31b has been erased that no output indicative of the coincidence will be obtained in the first comparator 7. In such cases, a search is made by the user terminal if there is any data which corresponds to the program identification code within the registration program. That is, if a new registration detection signal 711 is not entered after a trigger signal 703 is issued from the clock control circuit 10, the selector signal 814 is switched from the pointer to the address counter to generate an address counter clock 813. The address signal 806 (= 802) of the non-volatile memory 8 is changed by clocks 813 in sequence, starting from address 1. In correspondence with this change, the signal 803 retrieved from the non-volatile memory 8 is also changed in sequence. Assuming here that the identification code of the storage medium 5 loaded in the terminal is registered at address j, the content stored at address j coincides with the content of the first memory region 31a, which is the program identification code, of the storage medium 5. Then, the coincidence detection output of the second comparator 73, i.e. registration detection signal 706, becomes HIGH, which causes the flip-flop 71 to output HIGH decoding control signal 705, which in turn enables the decoding circuit 9. Next, if the program identification code has not been registered for the storage medium 5 in use in the user terminal, none of the data retrieved from the non-volatile memory 8 will not coincide, so that the address counter 82 is

advanced to a predetermined value p indicated by the output 807 of the address pointer 81. At this point, a count termination signal 821 is provided by a third comparator 86 to the clock control circuit 10 to stop generation of the counter clock 813. Meanwhile, the decoding control signal 705, which is currently LOW, prohibits decoding operation by the decoding circuit 9.

Next, referring to Fig. 3d, there is shown a configuration of the user terminal in the context of an onerous program recorded in the format as shown in Fig. 2b. Fig. 3e is a timing diagram of exemplary operations in the user terminal of Fig. 3d. As shown in Fig. 3d, there are provided read heads 6a and 6b for reading the storage medium which contains the onerous program. The head 6a is an optical read head for example for retrieving inerasable information from an inerasable section of the medium, while the head 6b is a magnetic read head for example for retrieving information from an erasable section.

The program identification codes stored in the first and the second storage regions 31a and 31b, respectively, of the storage medium 5a, are retrieved to the first and the second serial-to-parallel conversion registers 7a and 7b and compared with each other in the first comparator 7. In this instance, the clock signal A 702 and signal B 702 applied to the respective serial-to-parallel conversion registers 7a and 7b need not be set in a special chronological order. Although the erasing signal 601 for the erasing head 6c is issued from a clock control circuit (not shown), the timing of the signal is determined based on the positions of the two read heads and of the erasing head 6c. In any of the configurations as shown in Figs. 3a and 3d, a comparison is made between the program identification code of the loaded storage medium and the registered identification code stored in the user terminal. When a coincidence is established between them, the decoding circuit 9 is enabled, allowing the program to run and/or rendering necessary information audible and/or visible. On the other hand, when no coincidence is established, the user of the terminal is not an authorized user, so that the decoding circuit 9 is not enabled. Thus, the onerous program is left unusable. The above described procedure is also shown in the flowchart of Fig. 4. Although a possibility of decrypting the content of erasable second storage region 31b by a user cannot be totally denied, such latent hazard can be eliminated by setting the storage region in a section not accessible to the user or in a secret section of the medium.

BRIEF DESCRIPTION OF THE INVENTION

Fig. 1a shows a first embodiment of a method according to the invention.

Fig. 1b shows a recording format of an onerous program stored on an erasable storage medium.

Fig. 2a shows a second embodiment of a method according to the invention.

Fig. 2b shows a recording format of an onerous program stored on an inerasable storage medium.

Fig. 3a is a block diagram representation of a user terminal to which the recording format of Fig. 1b is applied.

Fig. 3b is a timing diagram of a new registration of the program made in the user terminal.

Fig. 3C is a timing diagram for determining if the program is registered in the user terminal as shown in Fig. 3a.

Fig. 3d is a block diagram representation of a user terminal to which the recording format shown in Fig. 2b is applied.

Fig. 3e is a timing diagram of exemplary operations made in a user terminal shown in Fig. 3d.

Fig. 4 is a timing diagram of program identification procedure performed in a user terminal.

1. FIRST STORAGE MEDIUM
2. ENCODING MEANS
3. IDENTIFICATION CODE PROVISION MEANS
- 4, 4a, and 4b RECORDING APPARATUS
- 5, 5a SECOND STORAGE MEDIUM
- 6a, 6b READ HEAD;
- 6C ERASING HEAD
- 7, 7a, 7b SERIAL-TO-PARALLEL CONVERSION REGISTER
8. NON-VOLATILE STORAGE
9. DECODING MEAN

Like or corresponding elements are denoted by like reference numerals throughout the drawings.

⑬ 日本国特許庁(JP)

⑩ 特許出願公開

⑬ 公開特許公報(A) 昭60-196862

⑮ Int.Cl.⁴

G 06 F 12/14
9/06
G 09 C 1/00
G 11 B 23/30

識別記号

庁内整理番号

7922-5B
D-7361-5B
7368-5B
Z-7177-5D

⑭ 公開 昭和60年(1985)10月5日

審査請求 未請求 発明の数 1 (全 8 頁)

⑯ 発明の名称 有償プログラムの保護方法

⑰ 特 願 昭59-52261

⑱ 出 願 昭59(1984)3月21日

⑲ 発 明 者 富 川 直 博 長岡京市馬場岡所1番地 三菱電機株式会社電子商品開発
研究所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 曾我 道照 外3名

明 細 書

1 発明の名称

有償プログラムの保護方法

2 特許請求の範囲

(1) 有償プログラムの保護方法であつて、対象とするプログラムを暗号化して所定のプログラム記憶領域に記録し、前記プログラムに対応するプログラム識別信号を発生させ、これを前記プログラム記憶領域の読出しに先行して読出されるべき第1の記憶領域および前記第1の記憶領域とは別具の消去可能な第2の記憶領域に記録して形成された、暗号化された有償プログラムが収められている記憶担体について、その利用開始にさいして、利用者端末において前記第1および第2の記憶領域の内容の比較または予め登録されている内容と前記第1の記憶領域の内容との比較をすることを特徴とする前記有償プログラムの保護方法。

(2) 前記暗号化された有償プログラムが収められている記憶担体が初めて利用されるときには、当該プログラムに関する所定の登録を行ない、前

記第2の記憶領域の記憶内容を消去することを特徴とする特許請求の範囲第1項記載の有償プログラムの保護方法。

(3) 前記第2の記憶領域は、利用者のアクセスできない領域または利用者には秘密にされている領域に設定されることを特徴とする特許請求の範囲第1項記載の有償プログラムの保護方法。

3 発明の詳細な説明

〔発明の技術分野〕

この発明は、対価を支払うことによつて頒布されて使用することができる計算機プログラムあるいはデジタル化されたオーディオおよび/またはビデオ信号のような、いわゆる有償プログラムの保護方法に係わるものであり、特に、例えばその利用者間での直接的な貸借行為等に基づき、供給者側の同意あるいは承認なしに当該有償プログラムが不法ないし不当に利用されることを防止することを目的とした有償プログラムの保護方法に関するものであつて、その適用分野は学習用機器、計算機プログラム、CDプレーヤー用等、広汎に

わたるものである。

〔従来技術〕

前記された計算機プログラムあるいはデジタル化されたオーディオおよび／またはビデオ信号は、一般的には、磁気ディスク、磁気テープ等のような複製可能な記憶担体に収められて有償で頒布される場合が多い。そして、このような場合において、これらのプログラムの一部には著作権法の規定等により不法ないし不当な複製が禁止されているものもあるけれども、現実には、当該プログラムについて利用者間での直接的な貸借行為等が生じるために、正当な利用者端末以外で不法ないし不当に用いられることを防止するための有効な手だてを欠いているのが現状であり、このことは、ソフトウェア産業の健全な発展ならびに成長を阻害する重大な要因とされている。

〔発明の概要〕

この発明は、かゝる現状に鑑みてなされたものであり、利用者間での直接的な貸借等により、正当な利用者以外のものが、権限を付与されてい

い他の端末を用いて有償プログラムを不法ないし不当に使用することを防止する新規な方法の提供をその目的とするものである。

〔発明の実施例〕

以下、この発明の実施例を添付図面に即して詳細に説明する。

先ず、供給者の側における有償プログラムの所定記憶担体上の記録のさせ方について説明する。

ここで、有償プログラムが、磁気ディスク、磁気テープ等の消去可能な記憶担体に記録される第1の態様を、第1a図および第1b図に即して説明する。ここで、第1a図は供給者の側における有償プログラムの記録方法の第1の態様の説明図であり、第1b図は消去可能な記憶担体上での有償プログラムの記録フォーマット図である。

第1a図において、(1)は第1の記憶担体であつて、これには利用者に対して有償で頒布されるべきプログラム(オリジナル・プログラム)が記録されている。このオリジナル・プログラムは第1の記憶担体(1)から一旦読出され(1')て、適当な暗

号化手段(2)によつて所定のやり方に基づき暗号化処理が施されて、暗号化されたプログラム(2')がえられる。一方、識別信号付与手段(3)からは前記暗号化されたプログラム(2')との間で所定の対応関係がとられるようにしてプログラム識別信号(3')が発生され、前記暗号化されたプログラム(2')およびこれに対応するプログラム識別信号(3')の両者は、高速複製装置を含む記録装置(4)によつて、消去可能な第2の記憶担体(5)上に、頒布されるべく暗号化され、所定のフォーマットをもつプログラム(有償プログラム)(4')として記録される。

第1b図は、消去可能な第2の記憶担体(5)上に記録された有償プログラム(4')のフォーマット図である。ここで、(2/a)は暗号化されたプログラム(2')が記録されている領域、(3/a)、(3/b)は同一のプログラム識別信号(3')が夫々に記録されている領域(第1および第2の記憶領域)、そして、領域(2b)は、有意の情報が記録されている複製個の領域相互間の隔離等のためにそう入

されているものであつて、この領域(2b)には有意な情報は記録されていない。

このようにして、有償プログラム(4')は消去可能な第2の記憶担体(5)に記録され、これが適当な流通網を介して利用者には有償で頒布されることとなる。

次に、有償プログラムが、コンパクトディスク等の消去不能な記憶担体に記録される第2の態様を、第2a図および第2b図に即して説明する。ここで、第2a図は供給者の側における有償プログラムの記録方法の第2の態様の説明図であり、第2b図は消去不能な記憶担体上での有償プログラムの記録フォーマット図である。

第2a図において、第1の記憶担体(1)に記録されているオリジナル・プログラムは一旦読出され(1')て、暗号化手段(2)によつて暗号化処理を受け、暗号化されたプログラム(2')がえられる。また、識別信号付与手段(3)からプログラム識別信号(3')が発生されるが、これまでのやり方は前述された第1の態様の場合と同様である。

この第2の態様においては、第2の記憶担体(5a)として前述されたような消去不能のものが

使用されるけれども、これには、その所定部分に、例えば磁気コーティングを施すことにより、消去可能な領域が設けられている。そして、暗号化されたプログラム(21)およびこれに対応するプログラム識別信号(31)は第1の記録装置(4a)によつて第2の記憶担体(5a)の消去不能領域に有償プログラム(42+43)の一部(42)として記録され、また、前記プログラム識別信号(31)は第2の記録装置(4b)によつて前記第2の記憶担体(5a)の消去可能な領域に前記有償プログラム(42+43)の他部分(43)として記録される。

第2b図は、その一部に消去可能な領域を含んでいる消去不能な第2の記憶担体(5a)上に記録された有償プログラム(42+43)のフォーマット図である。ここで、第1b図で示されているものと同じ記号は、同一または類似の領域を表わすものである。そして、有償プログラム(42+43)の一部(42)は、暗号化されたプログラム(21)およびプログラム識別信号(31)が、第2の記憶担体(5a)の消去不能な領域に記録され、その他

部分(43)は消去可能な領域に記録される。かくして、全体としての有償プログラム(42+43)が第2の記憶担体(5a)上に記録され、これが利用者に対して有償で頒布されることとなる。

次いで第3a図ないし第3e図、および、第4図に即して、利用者端末の側での動作のし方について説明する。ここに、第3a図ないし第3e図は利用者端末の構成例、その動作態様を説明するためのタイムチャート等を示す図であり、第4図は利用者端末におけるプログラム識別に関する動作を示すフローチャート図である。

ここで、先ず第3a図についてみると、これは前記第1b図に示されているような記録フォーマットを有する有償プログラムに関する利用者端末の信号読取り部分の構成例を示すものである。また、第3b図は、第3a図に例示された構成の利用者端末の動作説明のためのタイムチャート図であつて、プログラム識別記号の登録がなされるまでの時間的経過が例示されている。

この第3a図に例示される利用者端末は、次の

ように構成される。(6a)は有償プログラムが収められている記憶担体からの脱出しヘッドであり、(6c)は前記記憶担体の所定の部分における情報を消去するための消去ヘッドである。

ここに、脱出しヘッドとしては(6a)が1個だけ設けられているが、これは、第1b図の記録フォーマット図から理解されるように、時間的に前後して脱出することができるため、脱出し操作の上での支障はない。(7a)・(7b)は脱出しヘッド(6a)から脱出された直列情報を並列にするための第1、第2の直並列変換レジスタであり、(7)は前記第1、第2の直並列変換レジスタ(7a)、(7b)の内容の一致の如何を調べるための第1の比較器である。(71)はD-タイプ・フリップ・フロップであり、(72)は立上りエッジ検出回路である。また、(73)は第1の直並列変換レジスタ(7a)の内容と不揮発性記憶装置(8)の内容との一致の如何を調べるための第2の比較器である。(81)はアドレスポインタラッチ、(82)はアドレスカウンタ、(83)はアドレスセクタ、(84)

はデータセクタ、(85)は+1回路、(86)は第2の比較器。(9)は復号回路であり、そして(10)はクロック制御回路である。

このような利用者端末において、脱出しヘッド(6a)によつて脱出された、対象となる有償プログラムからの出力信号(600)は復号回路(9)に印加されると共に第1、第2の直並列変換レジスタ(7a)、(7b)にも印加される。また、有償プログラムが記録されている記憶担体(5)(ここでは図示されない)がこの利用者端末に装荷されたことを検知する検知信号(50)が生成され、この検知信号(50)はクロック制御回路(10)に印加され、これにより、前記クロック制御回路(10)からは第1のリセット信号(704)が生成されて、フリップ・フロップ(71)がリセットされる。このため、復号回路(9)の可能化端子(BNB)に印加されている復号動作制御信号(705)はL(低レベル)となり、前記復号回路(9)は復号禁止状態にされる。また、このときには、不揮発性記憶装置(8)のアドレスカウンタ(82)のリセット端子

Rにもクロック制御回路(10)からの第2のリセット信号(812)が印加されて、前記アドレスカウンタ(82)の内容は0にされる。なお、以下に説明されるこの利用者端末の動作例においては、不揮発性記憶装置(8)の0番地は新規登録アドレスのポインタとして使用されるものとする。そして、前記アドレスカウンタ(82)の出力信号(802)はアドレスセレクトタ(83)を介して不揮発性記憶装置(8)に対するアドレス信号(806)として供給され、当該不揮発性記憶装置(8)の出力信号(803)として0番地の内容が読出されて、クロック制御回路(10)からの第2のトリガ信号(811)によつてアドレスポインタラッチ(81)に保持される。こゝで、アドレスポインタである不揮発性記憶装置(8)の0番地の内容は、登録済みのプログラム識別記号の最終番地を示している。アドレスポインタラッチ(81)の出力(807)は+1回路(85)によつて+1の加算がなされて、アドレスセレクトタ(83)の別具の入力部に加えられる。こゝで、セレクト信号(814)を切換えることにより、不揮発性記憶装置(8)に

は、次に登録されるプログラム識別記号の記憶されるべきアドレスが、アドレス信号(806)として加えられる。

一方、読出しヘッド(6a)からの出力信号(600)は、クロックパルスB(702)およびA(701)によつて順次に第2および第1の直並列変換レジスタ(7b),(7a)に読込まれ、両者は第1の比較回路(7)によつて比較される。記憶担体(5)が初めて装荷されるものであるときには、第1の直並列変換レジスタ(7a)における出力信号(70a)は第1の記憶領域(J1a)内のプログラム識別記号に相当し、また、第2の直並列変換レジスタ(7b)における出力信号(70b)は第2の記憶領域(J1b)内のプログラム識別記号に相当し、この記憶担体(5)の初期装荷の場合には両方のプログラム識別記号は一致するために、第1の比較器(7)の一致検出出力(700)はH(高レベル)となり、これはクロック制御回路(10)からのトリガ信号(703)によつてフリップ・フロップ(71)にラッチされ、これにしたがつて復号動作制御信

号(705)がHにされて、復号回路(9)は復号可能状態にされる。また、直並列変換レジスタ(7a)の出力信号(70a)はデータセレクトタ(84)を介して不揮発性記憶装置(8)のデータ入力線(805)に加えられており、フリップ・フロップ(71)の立上りエッジを検出した信号(801)を書込みパルスとして前記不揮発性記憶装置(8)の所定の新規登録アドレスに書込まれ、登録が行われると共に第2の記憶領域(J1b)の内容は消去される。そして、この登録が終了すると、アドレスセレクトタ(83)、データセレクトタ(84)のセレクト信号(814)が切換えられ、不揮発性記憶装置(8)のアドレス信号線(804)にはアドレスカウンタ(82)の出力(802)が、また、データ入力信号線(805)にはアドレスポインタ+1なる信号(804)が夫々に印加されて、クロック制御回路(10)からの書込みパルスに応じてアドレスポインタの内容が更新される。なお、この場合、アドレスカウンタ(82)にはこの時点までのクロック信号(813)が加えられていないために、そのア

ドレス信号(802)は0、即ち、アドレスポインタの位置を示したまゝの状態にある。

次に、登録済みの有償プログラムを収めている記憶担体を利用者端末に装荷した場合の動作について説明する。第3c図は、このときの動作を例示するタイムチャート図である。この場合には消去可能な領域である第2の記憶領域(J1b)内のプログラム識別記号は消去されているために、第1の比較器(7)においては一致出力が得られないはずである。このようなときには、当該利用者端末における既登録プログラムの中に該当するものがあるかどうかの探索がなされる。即ち、クロック制御回路(10)からトリガ信号(703)が出されても新規登録検知信号(711)が入力されないときには、セレクト信号(814)はポインタ側からアドレスカウンタ側に切換えられて、アドレスカウンタクロック(813)が発生される。このクロック(813)により不揮発性記憶装置(8)のアドレス信号(806)(=802)は1番地より順次に変更されていき、これに伴つて不揮発性

記憶装置(8)から読出される信号(803)も順次に変化されていく。

ここで、装荷された記憶担体(5)の識別記号がj番地に登録されているものとする、j番地の記憶内容[j]は記憶担体(5)の第jの記憶領域(j/a)の内容である前記プログラム識別記号と一致するため、このときは、第jの比較器(7j)の一致検出出力、即ち既登録検知信号(706)はHとなり、フリップ・フロップ(71)の出力である復号動作制御信号(705)は強制的にHにされ、これによつて復号回路(9)は復号可能の状態にされる。

次に、使用されたことのある記憶担体(5)のプログラム識別記号が、既に装荷されている利用者端末においては未登録のものである場合には、不揮発性記憶装置(8)から読出されるいずれのデータも一致することはなく、アドレスカウンタ(82)はアドレスポインタ(81)の出力(807)で示される所定の値pまで進行し、この時点で第jの比較器(86)からカウント停止信号(821)がクロ

ック制御回路(10)に印加され、カウンタクロック(812)の発生は停止される。この間、復号動作制御信号(705)はLの状態にあるので、復号回路(9)は復号動作が禁止されている。

次に、第3d図についてみると、これは第2b図に示されているような記録フォーマットを有する有償プログラムに関する利用者端末の構成例を示すものである。また、第3e図は、第3d図に例示された構成の利用者端末の動作説明のためのタイムチャート図である。この第3d図において、(4a)および(4b)は有償プログラムが収められている記憶担体からの読出しヘッドであり、前者は消去不能な記憶部分から所定の情報を読出すための例えば光電的な読出しヘッド、後者は消去可能な記憶部分からの読出しのための例えば磁気的な読出しヘッドである。記憶担体(3a)における第jおよび第jの記憶領域(j/a)、(j/b)内のプログラム識別記号は、夫々に、第j、第jの直並列変換レジスタ(7a)および(7b)に読出されて、第jの比較器(7)によつて比較されることとなる。

この場合には、第j、第jの直並列変換レジスタ(7a)および(7b)に夫々に印加されるクロック信号A(701)およびB(702)は時間的に特別な順序関係を設定する必要はない。また、消去ヘッド(4c)に対する消去信号(401)はクロック制御回路(こゝでは図示されない)から出力されるけれども、そのタイミングは前記j個の読出しヘッド(4a)、(4b)およびこの消去ヘッド(4c)の間の位置関係に基づいて定まるものである。

第3a図に例示されている構成、または第3d図に例示されている構成のいずれによつても、装荷された記憶担体におけるプログラム識別記号と利用者端末側に登録されているそれとの間で比較を行ない、両者間に一致が見出されたときには復号回路(9)が可能化されて、所望のプログラム操作が行われたり、必要な情報が可聴状態または可視状態にされたりする。

これに対して、両者の一致が見出されなかつたときには、その利用が正当化されていないものであるから、解読復号手段(9)は可能化されること

がなく、当該有償プログラムの利用は不可能にされる。このような操作のし方は、第4図のフローチャート図にも示されている。

なお、前記消去可能な領域である第jの記憶領域(j/b)の内容が利用者に判読されることがないとはいえないけれども、このような領域を利用者がアクセスすることのできない部分に設定するか、あるいは利用者からかくされた部分に設定することにより、このような危険性をも除去することができる。

〔発明の効果〕

以上説明したように、この発明によれば、わずかなハードウェアを追加することとプログラム識別信号を付与することにより、有償プログラムの不法ないし不当な使用からの保護が有効かつ適切になせらるるという著るしい効果が奏せられるものである。

※ 図面の簡単な説明

第1a図はこの発明の方法の第1の態様の説明図、第1b図は消去可能な記憶担体上での有償プ

プログラムの記録フォーマット図、第2a図はこの発明の方法の第2の態様の説明図、第2b図は消去不能な記憶担体上での有償プログラムの記録フォーマット図、第3a図は、第1b図に例示されている記録フォーマットの場合に適用される利用者端末の構成例を概略的に示すブロック図、第3b図は、第3a図のような構成の利用者端末において新規登録を行うさいのタイミングを示す図、第3c図は、第3a図のような構成の利用者端末において既登録のプログラムであるかどうかを調べるさいのタイミングを示す図、第3d図は、第2b図に例示されている記録フォーマットの場合に適用される利用者端末の構成例を概略的に示すブロック図、第3e図は、第3d図のような構成の利用者端末の動作説明のためのタイミングを示す図、第4図は利用者端末におけるプログラム識別に関する動作を示すフローチャート図である。

1・・・第1の記憶担体、2・・・暗号化手段、3・・・識別記号付与手段、4、4a、4b・・・記録装置、5、5a・・・第2の記憶担体、6a、6b

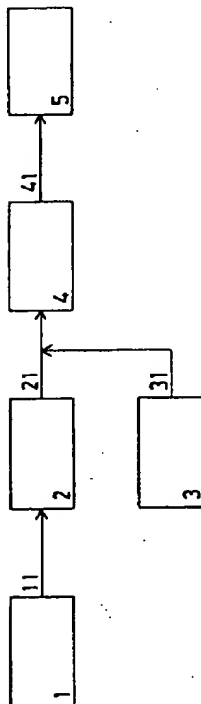
・・・読み取りヘッド、6c・・・消去ヘッド、7、7a、7b・・・直並列変換レジスタ、8・・・不揮発性記憶装置、9・・・復号手段。

なお、各図中、同一符号は同一又は相当部分を示す。

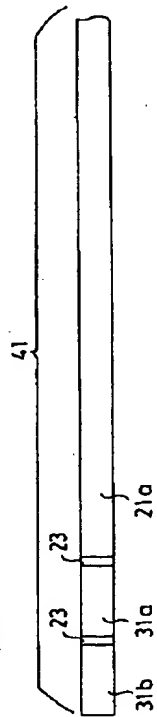
代理人 曾 我 道



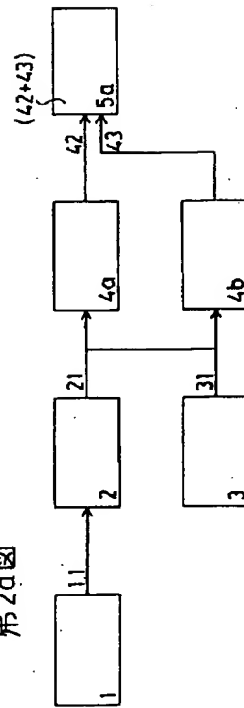
第1a図



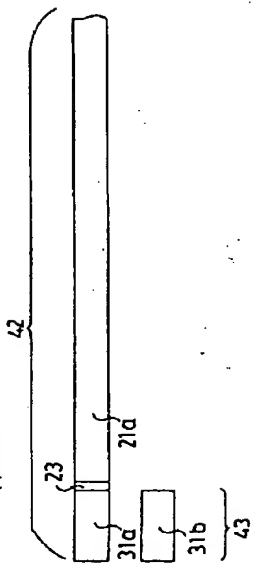
第1b図



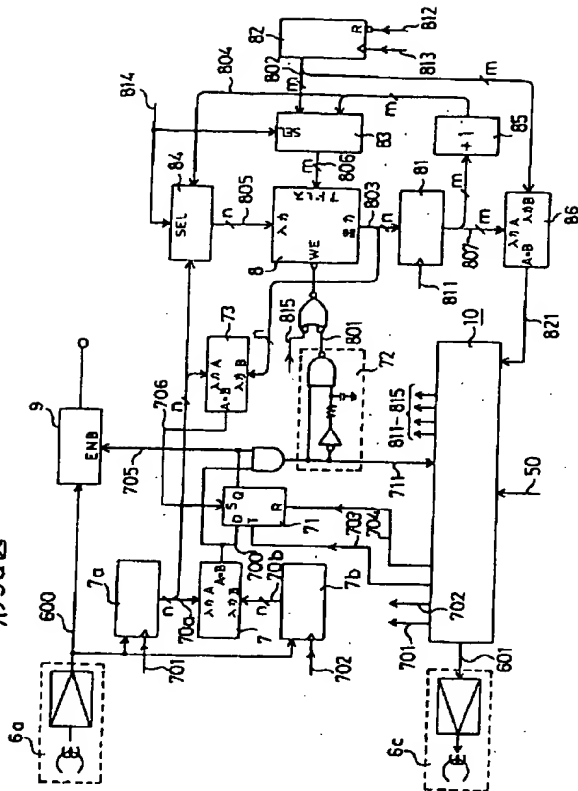
第2a図



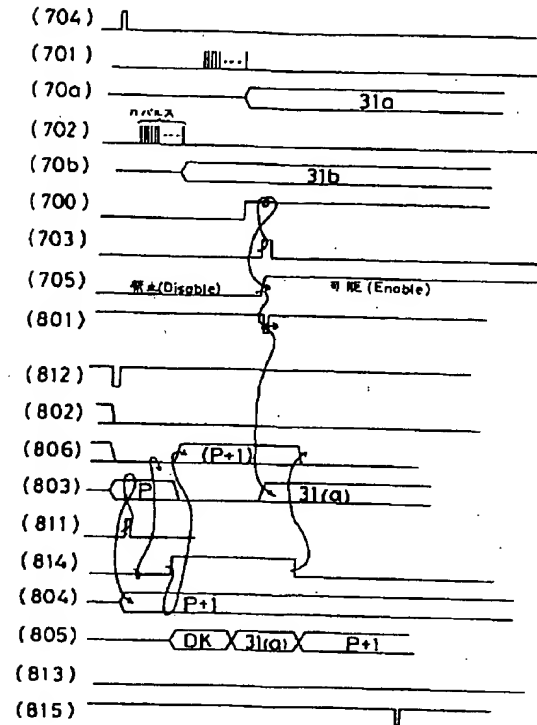
第2b図



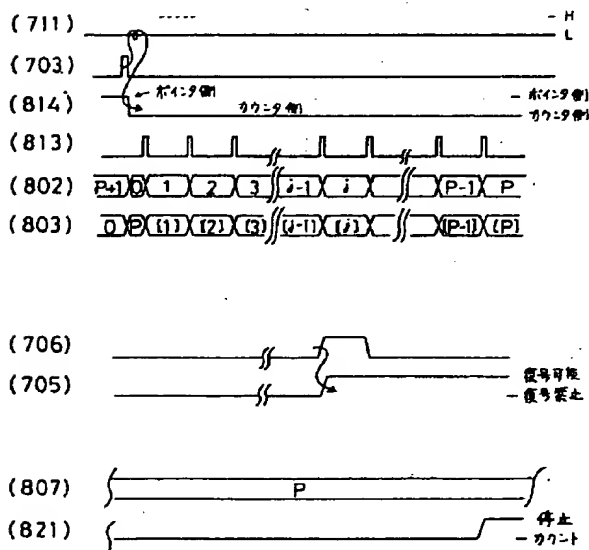
第3a図



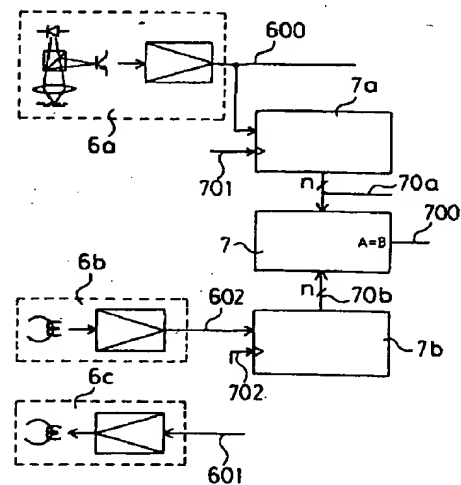
第3b図



第3c図



第3d図



第4図

第3e図

